

Family list

1 family member for:

JP2000148087

Derived from 1 application.

**1 DISPLAY ELEMENT, DISPLAY DEVICE AND METHOD FOR DRIVING
DISPLAY DEVICE**

Publication Info: JP2000148087 A - 2000-05-26

Data supplied from the **esp@cenet** database - Worldwide

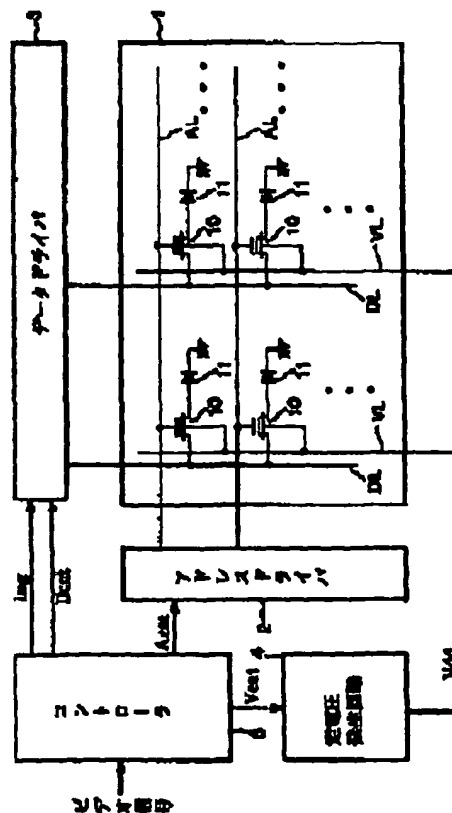
DISPLAY ELEMENT, DISPLAY DEVICE AND METHOD FOR DRIVING DISPLAY DEVICE

Patent number: JP2000148087
 Publication date: 2000-05-26
 Inventor: YAMADA HIROYASU
 Applicant: CASIO COMPUTER CO LTD
 Classification:
 - International: G09F9/30; G09G3/20; G09G3/30; H05B33/14; H05B33/26; G09F9/30; G09G3/20; G09G3/30; H05B33/14; H05B33/26; (IPC1-7): G09G3/30; G09F9/30; G09G3/20; H05B33/14; H05B33/26
 - european:
 Application number: JP19980330238 19981106
 Priority number(s): JP19980330238 19981106

Report a data error here

Abstract of JP2000148087

PROBLEM TO BE SOLVED: To enhance the pixel aperture ratio of organic EL display elements and to make the yield at the time of producing higher. **SOLUTION:** An address driver 2 selects an address line AL and impresses positive voltage to the top gate of a corresponding double transistor 10. When the prescribed voltage is impressed to a data line DL, an (n) channel is formed in its semiconductor layer and all of the corresponding organic EL elements 11 are once made to emit light. Next, the voltage supplied from the address driver 2 to the address line AL is gradually dropped in potential down to the prescribed negative voltage. The positive voltage is supplied for a prescribed period to the data line DL of the light emitting pixel from a data driver 3 before the potential of the address line AL drops, by which the organic EL elements 11 are made to emit light and the emitted light is made incident on the semiconductor layer of the double gate transistor 10. On the other hand, the positive voltage is supplied for the prescribed period to the data line DL of the non-light emitting pixel after the potential of the address line AL drops to maintain the light emission.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-148087

(P 2 0 0 0 - 1 4 8 0 8 7 A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G09G 3/30		G09G 3/30	J 3K007
G09F 9/30	343	G09F 9/30	343 E 5C080
G09G 3/20	611	G09G 3/20	611 Z 5C094
H05B 33/14		H05B 33/14	A
33/26		33/26	Z
審査請求 未請求 請求項の数 9 F D (全18頁)			

(21) 出願番号 特願平10-330238

(22) 出願日 平成10年11月6日 (1998.11.6)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 山田 裕康

東京都八王子市石川町2951番地の5 カシ
オ計算機株式会社八王子研究所内

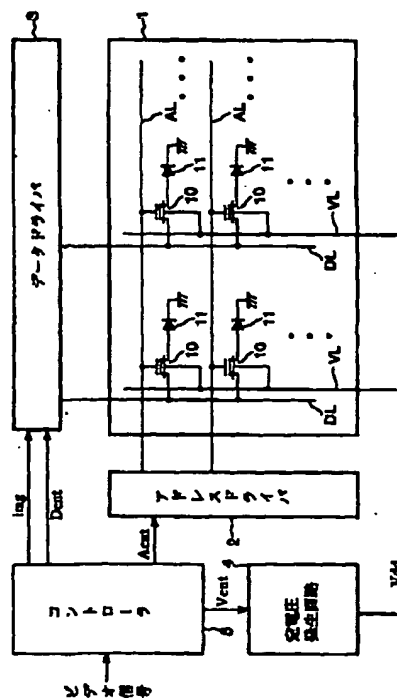
最終頁に続く

(54) 【発明の名称】 表示素子、表示装置、及び表示装置の駆動方法

(57) 【要約】

【課題】 有機EL表示素子の画素開口率を高くし、また、製造時の歩留まりを高くする。

【解決手段】 アドレスドライバ2がアドレスラインALを選択し、対応するダブルゲートトランジスタ10のトップゲートに正電圧を印加し、データラインDLに所定の電圧を印加すると、その半導体層内にnチャネルが形成され対応する有機EL素子11を一旦すべて発光させる。次に、アドレスドライバ2からアドレスラインALに供給する電圧を所定の負電圧まで徐々に電位低下させる。データドライバ3から、発光画素のデータラインDLにはアドレスラインALの電位が低下する前に所定期間正電圧を供給して有機EL素子11を発光させ、ダブルゲートトランジスタ10の半導体層に入射させる。一方、非発光画素のデータラインDLにはアドレスラインALの電位低下後に所定期間正電圧を供給し発光を保持する。



【特許請求の範囲】

【請求項1】半導体層とこの半導体層の対向する両面に形成されたゲート絶縁膜と、これらゲート絶縁膜にそれぞれ設けられた第1ゲート電極及び第2ゲート電極を備えたアクティブ素子と、

前記アクティブ素子に接続された発光素子と、を備えることを特徴とする表示素子。

【請求項2】前記発光素子が発した光以外の外部からの光を遮断して、前記アクティブ素子に入射されることを防止する遮光手段をさらに備えることを特徴とする請求項1に記載の表示素子。

【請求項3】前記発光素子は、有機エレクトロルミネセンス素子であることを特徴とする請求項1または2に記載の表示素子。

【請求項4】複数の画素が所定の配列で配置され、前記複数の画素のそれぞれは、

半導体層と、この半導体層にチャンネルを形成するための電圧が供給される第1制御端子と、この第1制御端子によるチャンネル形成を阻害するとともに前記半導体層で生成されたキャリアのうち一方の極性のキャリアを保持する非選択電圧と前記第1制御端子によるチャンネル形成を阻害しない選択電圧が選択的に供給される第2制御端子と、前記半導体層に接続された第1電流供給端子及び第2電流供給端子と、を備えたアクティブ素子と、

前記アクティブ素子の前記第1電流供給端子に接続され、所定の電圧または電流が供給されると前記半導体層内にキャリアを発生させる波長域を含む光を発光する発光素子と、

を有し、

前記アクティブ素子の前記第2制御端子に前記選択電圧及び前記非選択電圧を供給する選択駆動手段と、

所定の画素の発光期間中に前記アクティブ素子の前記第2電流供給端子に前記発光素子が発光させる発光電圧を供給し、所定の画素の非発光期間中に前記アクティブ素子の前記第2電流供給端子に非発光電圧を供給する制御手段と、

を備えることを特徴とする表示装置。

【請求項5】前記発光素子は、赤色の波長域の光、緑色の波長域の光及び青色の波長域の光のすべてを含む光を発するものであり、

前記複数の画素のそれぞれは、前記発光素子が発した光のうちの赤色の波長域の光を透過して外部に出射する赤カラーフィルタ、前記発光素子が発した光のうちの緑色の波長域の光を透過して外部に出射する緑カラーフィルタ、及び前記発光素子が発した光のうちの青色の光を透過して外部に出射する青カラーフィルタのいずれかをさらに備え、

前記赤カラーフィルタ、緑カラーフィルタ或いは青カラーフィルタは、前記画素の配列に応じた所定の順序で前記複数の画素のそれぞれに配置されていることを特徴と

する請求項4に記載の表示装置。

【請求項6】前記複数の画素のそれぞれの発光素子は、赤色の波長域の光、緑色の波長域の光、及び青色の波長域の光のいずれかを発するものであり、

前記赤色の波長域の光を発する発光素子、緑色の波長域の光を発する発光素子、或いは青色の波長域の光を発する発光素子は、前記画素の配列に応じた所定の順序で前記複数の画素のそれぞれに配置されていることを特徴とする請求項4に記載の表示装置。

【請求項7】複数の画素が所定の配列で配置され、前記複数の画素のそれぞれは、

半導体層と、この半導体層にチャンネルを形成するチャンネル形成電圧とチャンネルを形成しないチャンネル非形成電圧が選択的に供給される第1制御端子と、前記第1制御端子によるチャンネル形成を阻害するとともに前記半導体層で生成されたキャリアのうち一方の極性のキャリアを保持する非選択電圧と前記第1制御端子によるチャンネル形成を阻害しない選択電圧が選択的に供給される第2制御端子と、前記半導体層に接続された第1電流供給端子と、前記半導体層に接続されるとともに所定の電圧が印加される第2電流供給端子と、を備えたアクティブ素子と、

前記アクティブ素子の前記第1電流供給端子に接続され、所定の電圧または電流が供給されると前記半導体層内にキャリアを発生させる波長域を含む光を発光する発光素子と、

を有し、

前記アクティブ素子の前記第2制御端子に前記選択電圧及び前記非選択電圧を供給する選択駆動手段と、

所定の画素の発光期間中に前記アクティブ素子の前記第1制御端子に前記チャンネル形成電圧を供給し、所定の画素の非発光期間中に前記アクティブ素子の前記第1制御端子に前記チャンネル非形成電圧を供給する制御手段と、を備えることを特徴とする表示装置。

【請求項8】複数の画素が配置された表示装置の駆動方法であって、

前記複数の画素のそれぞれは、

半導体層と、この半導体層にチャンネルを形成するための電圧が供給される第1制御端子と、この第1制御端子によるチャンネル形成を阻害するとともに前記半導体層で生成されたキャリアのうち一方の極性のキャリアを保持する非選択電圧と前記第1制御端子によるチャンネル形成を阻害しない選択電圧が選択的に供給される第2制御端子と、前記半導体層に接続された第1電流供給端子及び第2電流供給端子と、を備えたアクティブ素子と、

前記アクティブ素子の前記第1電流供給端子に接続され、所定の電圧または電流が供給されると前記半導体層内にキャリアを発生させる波長域を含む光を発光する発光素子と、

を有し、

10

20

30

40

50

前記表示装置は、

前記アクティブ素子の前記第 2 制御端子に前記選択電圧及び前記非選択電圧を供給する選択駆動手段と、

所定の画素の発光期間中に前記アクティブ素子の前記第 2 電流供給端子に前記発光素子を発光させる発光電圧を供給し、所定の画素の非発光期間中に前記アクティブ素子の前記第 2 電流供給端子に非発光電圧を供給する制御手段と、

を有し、

前記複数の画素の一定単位毎に前記アクティブ素子の前記第 2 制御端子に前記選択電圧を供給する選択駆動ステップと、

前記選択駆動ステップで選択された画素のうちの発光すべき画素のアクティブ素子の第 4 制御端子に前記発光電圧を供給し、前記選択駆動ステップで選択された画素のうちの発光すべきでない画素のアクティブ素子の第 4 制御端子に前記非発光電圧を供給するデータ駆動ステップと、

前記選択駆動ステップ後に前記アクティブ素子の前記第 2 制御端子に供給される電圧を前記選択電圧から前記非選択電圧に徐々にシフトするキャリア蓄積ステップと、を含むことを特徴とする表示装置の駆動方法、

【請求項 9】複数の画素が所定の配列で配置された表示装置の駆動方法であって、

前記複数の画素のそれぞれは、

半導体層と、この半導体層にチャンネルを形成するチャンネル形成電圧とチャンネルを形成しないチャンネル非形成電圧が選択的に供給される第 1 制御端子と、前記第 1 制御端子によるチャンネル形成を阻害するとともに前記半導体層で生成されたキャリアのうち一方の極性のキャリアを保持する非選択電圧と前記第 1 制御端子によるチャンネル形成を阻害しない選択電圧が選択的に供給される第 2 制御端子と、前記半導体層に接続された第 1 電流供給端子と、前記半導体層に接続されるとともに所定の電圧が印加される第 2 電流供給端子と、を備えたアクティブ素子と、

前記アクティブ素子の前記第 1 電流供給端子に接続され、所定の電圧または電流が供給されると前記半導体層内にキャリアを発生させる波長域を含む光を発光する発光素子と、

を有し、

前記表示装置は、

前記アクティブ素子の前記第 2 制御端子に前記選択電圧及び前記非選択電圧を供給する選択駆動手段と、

所定の画素の発光期間中に前記アクティブ素子の前記第 1 制御端子に前記チャンネル形成電圧を供給し、所定の画素の非発光期間中に前記アクティブ素子の前記第 1 制御端子に前記チャンネル非形成電圧を供給する制御手段と、を備え、

前記複数の画素の一定単位毎に前記アクティブ素子の前

記第 2 制御端子に前記選択電圧を供給する選択駆動ステップと、

前記選択駆動ステップで選択された画素のうちの発光すべき画素のアクティブ素子の第 1 制御端子に前記チャンネル形成電圧を供給し、前記選択駆動ステップで選択された画素のうちの発光すべきでない画素のアクティブ素子の第 1 制御端子に前記チャンネル非形成電圧を供給するデータ駆動ステップと、

前記選択駆動ステップ後に前記アクティブ素子の前記第 2 制御端子に供給される電圧を前記選択電圧から前記非選択電圧に徐々にシフトするキャリア蓄積ステップと、を含むことを特徴とする表示装置の駆動方法、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、自発光型の表示素子、この表示素子を用いた表示装置、及びこのような表示装置の駆動方法に関する。

【0002】

【従来の技術】モバイルコンピューティングが盛んになるにつれて、平面型の表示装置に対する需要がますます増してきている。平面型の表示装置としては、従来、液晶表示装置が一般に用いられてきた。しかしながら、液晶表示装置には、視野角が狭い、応答特性が悪いといった問題がある。

【0003】これに対し、近年、応答特性がよく、視野角が広い平面型自発光表示装置として、有機エレクトロルミネッセンス (EL) 表示装置が注目されている。このような有機 EL 表示装置で用いられている有機 EL 素子は、所定の輝度以上の高輝度で発光させようとすると、発光効率が著しく低下するので、同じ表示輝度 (瞬間的な輝度値と時間と発光面積とに比例する) を得るためには、高輝度で短時間発光させるよりも、低輝度で長時間発光させる方が、消費電力も少なくて済む。このため、有機 EL 素子の電極間に印加する電圧にメモリ性を持たせることが重要になってくる。

【0004】このような電圧のメモリ性を実現した、従来の有機 EL 表示素子の 1 画素分の等価回路を、図 13 に示す。図示するように、この有機 EL 素子は、画素の発光領域を構成する有機 EL 素子 251 と、有機 EL 素子 251 に電圧を印加するための駆動用トランジスタ 252 と、駆動用トランジスタ 252 が印加する電圧を保持するキャパシタ 253 と、キャパシタ 253 に画像信号を選択して書き込むための選択用トランジスタ 254 とから構成されている。選択用トランジスタ 254 のゲートはゲートライン g1 を介してゲートドライバに、ドレインはドレインライン d1 を介してドレインドライバにそれぞれ接続されている。

【0005】有機 EL 素子 251 を駆動するときは、ゲートドライバからの選択信号によってマトリクス of 駆動しようとする有機 EL 素子 251 に対応する選択用トラ

ンジスタ254を選択し、選択したラインのキャパシタ253にドレインドライバからドレインラインd1、選択用トランジスタ254を介して画像信号を書き込む。そして、駆動用トランジスタ254は、キャパシタ253に書き込まれた画像信号の大きさに応じて有機EL素子251を駆動し、有機EL素子251に階調に応じた電圧を印加することで所望の画像を表示させる。

【0006】このように従来の有機EL表示素子では、駆動用トランジスタ252から書き込んだ画像信号をキャパシタ253に保持させ、キャパシタ253に保持された画像信号によってほぼ1フレーム期間有機EL素子251の発光を維持させていた。このため、この有機EL表示素子では、有機EL素子251を高輝度で発光させなくても十分な表示輝度を得ることができ、低消費電力で効率よく表示画像を得ることができた。

【0007】しかしながら、上記従来の有機EL表示素子では、有機EL素子251の他に駆動用トランジスタ252、キャパシタ253及び選択用トランジスタ254を画素毎に形成しなければならなかった。ところで、このような構成素子のいずれか1つにでも欠陥があった場合には有機EL表示素子全体が不良品となってしまうが、上記従来例の有機EL表示素子では、構成素子数が多く、いずれかに欠陥が生じる確率が高くなってしまったため、製造時の歩留まりが低いという問題点があった。

【0008】また、図14の平面図に示すように、1画素分の領域内に、有機EL素子251の他に駆動用トランジスタ252、キャパシタ253及び選択用トランジスタ254を形成する必要があったので、有機EL素子251を形成できる領域が相対的に小さくなり、画素の発光面積率が低いという問題があった。

【0009】

【発明が解決しようとする課題】本発明は、上記従来例の問題点を解消するためになされたものであり、画素開口率が高く、製造時の歩留まりを高くすることができる表示素子、この表示素子を用いた表示装置、及びこの表示装置の駆動方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点にかかる表示素子は、半導体層とこの半導体層の対向する両面に形成されたゲート絶縁膜と、これらゲート絶縁膜にそれぞれ設けられた第1ゲート電極及び第2ゲート電極を備えたアクティブ素子と、前記アクティブ素子に接続された発光素子と、を備えることを特徴としている。

【0011】上記表示素子では、各画素に発光素子の他には、アクティブ素子を1つだけ設ければよいので、画素開口率を高くすることができる。また、1つの画素に設けられる素子数が少ないため、いずれかの素子に欠陥がある可能性が低くなり、製造時の歩留まりを高くすることができる。

【0012】上記目的を達成するため、本発明の第2の観点にかかる表示装置は、複数の画素が所定の配列で配置され、前記複数の画素のそれぞれが、半導体層と、この半導体層にチャネルを形成するための電圧が供給される第1制御端子と、この第1制御端子によるチャネル形成を阻害するとともに前記半導体層で生成されたキャリアのうち一方の極性のキャリアを保持する非選択電圧と前記第1制御端子によるチャネル形成を阻害しない選択電圧が選択的に供給される第2制御端子と、前記半導体層に接続された第1電流供給端子及び第2電流供給端子と、を備えたアクティブ素子と、前記アクティブ素子の前記第1電流供給端子に接続され、所定の電圧または電流が供給されると前記半導体層内にキャリアを発生させる波長域を含む光を発光する発光素子と、を有し、前記アクティブ素子の前記第2制御端子に前記選択電圧及び前記非選択電圧を供給する選択駆動手段と、所定の画素の発光期間中に前記アクティブ素子の前記第2電流供給端子に前記発光素子を発光させる発光電圧を供給し、所定の画素の非発光期間中に前記アクティブ素子の前記第2電流供給端子に非発光電圧を供給する制御手段と、を備えることを特徴とする。

【0013】また、本発明の第2の観点にかかる他の表示装置は、複数の画素が所定の配列で配置され、前記複数の画素のそれぞれは、半導体層と、この半導体層にチャネルを形成するチャネル形成電圧とチャネルを形成しないチャネル非形成電圧が選択的に供給される第1制御端子と、前記第1制御端子によるチャネル形成を阻害するとともに前記半導体層で生成されたキャリアのうち一方の極性のキャリアを保持する非選択電圧と前記第1制御端子によるチャネル形成を阻害しない選択電圧が選択的に供給される第2制御端子と、前記半導体層に接続された第1電流供給端子と、前記半導体層に接続されるとともに所定の電圧が印加される第2電流供給端子と、を備えたアクティブ素子と、前記アクティブ素子の前記第1電流供給端子に接続され、所定の電圧または電流が供給されると前記半導体層内にキャリアを発生させる波長域を含む光を発光する発光素子と、を有し、前記アクティブ素子の前記第2制御端子に前記選択電圧及び前記非選択電圧を供給する選択駆動手段と、所定の画素の発光期間中に前記アクティブ素子の前記第1制御端子に前記チャネル形成電圧を供給し、所定の画素の非発光期間中に前記アクティブ素子の前記第1制御端子に前記チャネル非形成電圧を供給する制御手段と、を備えることを特徴とする。

【0014】上記表示装置では、各画素に発光素子の他には、アクティブ素子を1つだけ設ければよいので、画素開口率を高くすることができる。また、1つの画素に設けられる素子数が少ないため、いずれかの素子に欠陥がある可能性が低くなり、製造時の歩留まりを高くすることができる。

【0015】また、選択されていない画素の発光素子も、前の選択期間で発光していれば、その光によってアクティブ素子の半導体層内にキャリアを蓄積させることが可能となり、このキャリアのうちの一方の極性のキャリアが、第2制御端子の非選択電圧を相殺するため、第1制御端子及び第2電流供給端子の電圧に応じて発光素子に電流が流される。これにより、各発光素子を選択期間以外、つまり第2制御端子に非選択電圧が供給されていても発光させることができ、効率よく画像を表示することが可能となる。

【0016】上記目的を達成するため、本発明の第3の観点にかかる表示装置の駆動方法は、複数の画素が配置された表示装置の駆動方法であって、前記複数の画素のそれぞれは、半導体層と、この半導体層にチャンネルを形成するための電圧が供給される第1制御端子と、この第1制御端子によるチャンネル形成を阻害するとともに前記半導体層で生成されたキャリアのうちの一方の極性のキャリアを保持する非選択電圧と前記第1制御端子によるチャンネル形成を阻害しない選択電圧が選択的に供給される第2制御端子と、前記半導体層に接続された第1電流供給端子及び第2電流供給端子と、を備えたアクティブ素子と、前記アクティブ素子の前記第1電流供給端子に接続され、所定の電圧または電流が供給されると前記半導体層内にキャリアを発生させる波長域を含む光を発光する発光素子と、を有し、前記表示装置は、前記アクティブ素子の前記第2制御端子に前記選択電圧及び前記非選択電圧を供給する選択駆動手段と、所定の画素の発光期間中に前記アクティブ素子の前記第2電流供給端子に前記発光素子が発光させる発光電圧を供給し、所定の画素の非発光期間中に前記アクティブ素子の前記第2電流供給端子に非発光電圧を供給する制御手段と、を有し、前記複数の画素の一定単位毎に前記アクティブ素子の前記第2制御端子に前記選択電圧を供給する選択駆動ステップと、前記選択駆動ステップで選択された画素のうちの発光すべき画素のアクティブ素子の第2電流供給端子に前記発光電圧を供給し、前記選択駆動ステップで選択された画素のうちの発光すべきでない画素のアクティブ素子の第2電流供給端子に前記非発光電圧を供給するデータ駆動ステップと、前記選択駆動ステップ後に前記アクティブ素子の前記第2制御端子に供給される電圧を前記選択電圧から前記非選択電圧に徐々にシフトするキャリア蓄積ステップと、を含むことを特徴とする。

【0017】また、本発明の第3の観点にかかる他の表示装置の駆動方法は、複数の画素が所定の配列で配置された表示装置の駆動方法であって、前記複数の画素のそれぞれは、半導体層と、この半導体層にチャンネルを形成するチャンネル形成電圧とチャンネルを形成しないチャンネル非形成電圧が選択的に供給される第1制御端子と、前記第1制御端子によるチャンネル形成を阻害するとともに前記半導体層で生成されたキャリアのうちの一方の極性のキ

ャリアを保持する非選択電圧と前記第1制御端子によるチャンネル形成を阻害しない選択電圧が選択的に供給される第2制御端子と、前記半導体層に接続された第1電流供給端子と、前記半導体層に接続されるとともに所定の電圧が印加される第2電流供給端子と、を備えたアクティブ素子と、前記アクティブ素子の前記第1電流供給端子に接続され、所定の電圧または電流が供給されると前記半導体層内にキャリアを発生させる波長域を含む光を発光する発光素子と、を有し、前記表示装置は、前記アクティブ素子の前記第2制御端子に前記選択電圧及び前記非選択電圧を供給する選択駆動手段と、所定の画素の発光期間中に前記アクティブ素子の前記第1制御端子に前記チャンネル形成電圧を供給し、所定の画素の非発光期間中に前記アクティブ素子の前記第1制御端子に前記チャンネル非形成電圧を供給する制御手段と、を備え、前記複数の画素の一定単位毎に前記アクティブ素子の前記第2制御端子に前記選択電圧を供給する選択駆動ステップと、前記選択駆動ステップで選択された画素のうちの発光すべき画素のアクティブ素子の第1制御端子に前記チャンネル形成電圧を供給し、前記選択駆動ステップで選択された画素のうちの発光すべきでない画素のアクティブ素子の第1制御端子に前記チャンネル非形成電圧を供給するデータ駆動ステップと、前記選択駆動ステップ後に前記アクティブ素子の前記第2制御端子に供給される電圧を前記選択電圧から前記非選択電圧に徐々にシフトするキャリア蓄積ステップと、を含むことを特徴とする。

【0018】したがって、選択駆動ステップで選択されたアクティブ素子に対応する発光素子のうちデータ駆動ステップで発光すべき発光素子が発光させ、キャリア蓄積ステップでこの発光によりアクティブ素子の半導体層内に生成されたキャリアのうちの一方の極性のキャリアが蓄積され非選択電圧を相殺するので、第2制御端子に非選択電圧が印加されても電流が発光素子に流れることにより発光を持続することができる。

【0019】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態について説明する。

【0020】図1は、この実施の形態にかかる有機EL表示装置の構成を示すブロック図である。図示するように、この有機EL表示装置は、有機EL表示素子1と、アドレスドライバ2と、データドライバ3と、定電圧発生回路4と、コントローラ5とから構成されている。なお、図1において、破線で示す部分は、この実施の形態では適用されない。

【0021】有機EL表示素子1は、複数の画素がマトリクス状に形成されたものであり、図中等価回路図で示すように、各画素にはダブルゲートトランジスタ10と、有機EL素子11とが設けられている。有機EL素子11は、一般に図3に示すように、印加電圧に対し発光輝度がほぼリニア性を示し、発光効率が最大時の電圧

もこの直線の間にあたる。

【0022】ダブルゲートトランジスタ10は、2つのゲートのそれぞれに印加する電圧及び入射される光に応じてチャンネルを形成するアクティブ素子である。ダブルゲートトランジスタ10のトップゲートはアドレスラインALに接続され、ボトムゲートは電圧ラインVLに接続され、ドレインはデータラインDLに接続され、ソースは有機EL素子11のアノードに接続されている。ダブルゲートトランジスタ10の詳細については、さらに後述する。

【0023】有機EL素子11は、アノードがダブルゲートトランジスタ10のソースに接続され、カソードが接地されており、アノード-カソード間に閾値以上の電圧が印加されることで流れる電流によって、アノードとカソードとの間に設けられた有機半導体が発光する自発光素子である。有機EL素子11の詳細については、さらに後述する。

【0024】次に、有機EL表示素子1の構造について、詳しく説明する。図2(a)は、図1の有機EL表示素子1の構造を示す平面図、図2(b)は、図2

(a)のA-A断面図である。これらの図においては、有機EL表示素子1でマトリクス状に形成されている画素のうちの1画素分のみを示す。

【0025】これらの図に示すように、有機EL表示素子1では、まず、透明のガラスやプラスチックプレートなどによって構成される基板100上に、電圧ラインVLとボトムゲート電極101とが一体形成されている。ボトムゲート電極101は、CrOxなどからなり、半

導体層103に基板100側から光が入射するのを防ぐ遮光メタル101aと、Crなどからなるメタル101bの2層構造となっている。

【0026】ボトムゲート電極101及び電圧ラインVLを覆うように、基板100上には、SiNからなるゲート絶縁膜102が形成されている。ゲート絶縁膜102上の、ボトムゲート電極101と対向する位置には、アモルファスシリコン(a-Si)からなる半導体層103が形成されている。

【0027】ゲート絶縁膜102上には、データラインDLと一体形成されたドレイン電極104と、後述するコンタクトホール120を介して有機EL素子11に接続されるソース電極105とが、それぞれ半導体層103を挟むようにして形成されている。そして、半導体層103、ドレイン電極104、ソース電極105及びデータラインDLを覆うようにして、ゲート絶縁膜102の上に、さらにゲート絶縁膜106が形成されている。

【0028】ゲート絶縁膜106上の、半導体層103と対向する位置には、透明のITO(Indium Tin Oxide)からなるトップゲート電極107が形成されており、さらにトップゲート電極107を周囲から取り囲んで、有機EL層101が発する波長域の光に対して非透

過性を示す材料によって構成され、隣接する画素の有機EL層110から半導体層103に光が入射することを防ぐ遮光電極108が、アドレスラインALと一体に形成されている。

【0029】以上示したボトムゲート電極101、半導体層103、ドレイン電極104、ソース電極105及びトップゲート電極107等により、ダブルゲートトランジスタ10が構成される。そして、トップゲート電極107、遮光電極108及びアドレスラインALを覆うように、絶縁保護膜109が形成されている。

【0030】画素領域並びに絶縁保護膜109の上の、アドレスラインAL、データラインDL及び電圧ラインVLが形成されている位置には、透明のITOからなるアノード電極111が形成されている。アノード電極111は、コンタクトホール120を介してソース電極105に接続される。なお、アノード電極111は、トップゲート電極107の上にも形成される。そして、さらにその上に、有機EL層110と、MgAg、MgIn、AlLiなどからなり、接地されているカソード電極112とがこの順で形成されている。

【0031】なお、有機EL層110は、アノード電極111からカソード電極112の方向に、正孔輸送性発光層と電子輸送層とが、順に積層されてなる。正孔輸送性発光層は、ホスト材料であるpoly(N-vinylcarbazole)(以下、PVCz)中に、2,5-bis(1-naphthyl)-oxadiazole(以下、BND)と、4,4'-bis(2,2-diphenylvinyl)ene)biphenyl(以下、DPVBi)と、4,4'-bis((2-carbazole)vinylene)biphenyl(以下、BCzVBi)と、4-(dicyanomethylene)-2-methyl-6-(p-dimethylamino-styryl)-4H-pyran(以下、DCM1)と、3-(2'-benzothiazoyl)-7-diethylaminocoumarin(以下、Coumarin6)と、の混合物をゲスト材料としてドープしてなる。電子輸送層は、aluminum-tris(8-hydroxyquinoline)(以下、Alq3)からなる。

【0032】有機EL層110は、このような構成を有することで、内部に電流が流れることにより生じる電子と正孔の再結合に伴うエネルギーを吸収することで、白色光(赤色の波長域の光、緑色の波長域の光及び青色の波長域の光をすべて含む)を発する。また、カソード電極112は、有機EL層110が発した光に対して反射性を有すると共に、図の上部からカソード電極112に入射した光を遮断して、ダブルゲートトランジスタ10の半導体層103に入射されるのを防ぐ。

【0033】以上示した有機EL層110、アノード電極111及びカソード電極112によって有機EL素子11が構成される。すなわち、有機EL層111は、アノード電極111とカソード電極112との間に閾値以上の電圧を印加することで有機EL層110内に電流が流れ、白色光を発する自発光素子である。

【0034】次に、図4(a)～(f)に示す模式図を

参照して、ダブルゲートトランジスタ10の駆動原理について、詳しく説明する。

【0035】図4(a)に示すように、トップゲート電極(TG)107に印加されている電圧が+5(V)であり、ボトムゲート電極(BG)101に印加されている電圧が0(V)であるときは、半導体層103にはnチャネルが形成されず、ドレイン電極104(D)に+8(V)の電圧が供給されても、ドレイン電極(D)104とソース電極(S)105との間に電流は流れない。また、この状態では、後述するように半導体層103に蓄積された正孔が吐出される。なお、この状態をリセット状態という。

【0036】図4(b)に示すように、トップゲート電極(TG)107に印加されている電圧が-20(V)であり、ボトムゲート電極(BG)101に印加されている電圧が0(V)であるときは、半導体層103にはnチャネルが形成されず、ドレイン電極104(D)に+8(V)の電圧が供給されても、ドレイン電極(D)104とソース電極(S)105との間に電流は流れない。このように、ボトムゲート電極(BG)101に印加されている電圧が0(V)である場合には、トップゲート電極(TG)107に印加されている電圧の如何に関わらず、半導体層103にnチャネルが形成されることはない。

【0037】図4(c)に示すように、トップゲート電極(TG)107に印加されている電圧が+5(V)であり、ボトムゲート電極(BG)101に印加されている電圧が+10(V)であるときは、半導体層103のボトムゲート電極(BG)101側にnチャネルが形成される。これにより、半導体層103が低抵抗化し、ドレイン電極104(D)に+8(V)の電圧が供給されると、ドレイン電極(D)104とソース電極(S)105との間に電流が流れる。また、この状態でも、後述するように半導体層103に蓄積された正孔が吐出され、リセット状態となる。

【0038】図4(d)に示すように、トップゲート電極(TG)107に印加されている電圧が-20(V)であり、ボトムゲート電極(BG)101に印加されている電圧が+10(V)であり、かつ後述するように半導体層103内に正孔が蓄積されていない場合は、半導体層115の内部に空乏層が広がり、nチャネルがピンチオフされて、半導体層103が高抵抗化する。このため、ドレイン電極104(D)に+8(V)の電圧が供給されても、ドレイン電極(D)104とソース電極(S)105との間に電流が流れない。

【0039】図4(e)に示すように、トップゲート電極(TG)107に印加されている電圧が0~-20(V)であり、ボトムゲート電極(BG)101に印加されている電圧が+10(V)で、かつ半導体層103に光が照射されている場合には、半導体層103に正孔

—電子対が生じる。こうして半導体層103内に蓄積された正孔は、リセット状態となるまで半導体層103から吐出されることはない。

【0040】図4(f)に示すように、トップゲート電極(TG)107に印加されている電圧が-20(V)であり、ボトムゲート電極(BG)101に印加されている電圧が+10(V)であるが、半導体層103内に正孔が蓄積されている場合には、蓄積されている正孔が負電圧の印加されているトップゲート電極107に引き寄せられて保持され、トップゲート電極107に印加されている負電圧が半導体層103に及ぼす影響を緩和する方向に働く。このため、半導体層103のボトムゲート電極(BG)101側にnチャネルが形成され、半導体層103が低抵抗化して、ドレイン電極104(D)に+8(V)の電圧が供給されると、ドレイン電極(D)104とソース電極(S)105との間に電流が流れる。

【0041】図1に戻ってさらに説明すると、アドレスドライバ2は、コントローラ5からの制御信号Acntに従って、有機EL表示素子1のアドレスラインALを順次選択する。アドレスドライバ2は、選択したアドレスラインALに、まず、+5(V)の電圧を供給し、所定タイミング維持させて対応するダブルゲートトランジスタ10の半導体層103に蓄積されている正孔を吐出させた後、選択したアドレスラインALに供給する電圧を徐々に-20(V)まで下げていく。アドレスドライバ2は、また、選択した以外のアドレスラインALには、常時-20(V)の電圧を供給しておく。

【0042】データドライバ3は、コントローラ5からの制御信号Dcntに従って、後述する表示画像データimgを1ライン分、順次取り込んでいく。表示画像データimgの取り込みは、対応するラインの1つ前のアドレスラインALが選択されている間に行われる。

【0043】データドライバ3は、取り込んだ1ライン分の表示画像データimgのうち発光を示すものに対応するデータラインDLに、選択されたアドレスラインALに+5(V)の電圧が印加されてからアドレスラインALの電圧が+5(V)から-20(V)にシフトされるまでの期間、+8(V)の電圧を供給する。一方、表示画像データimgのうち発光を示さないものに対応するデータラインDLには、選択されたアドレスラインALに+5(V)の電圧が印加されてからアドレスラインALの電圧が+5(V)から-20(V)にシフトされるまでの期間は0(V)の電圧が供給され、アドレスドライバ2からアドレスラインALに供給される電圧が-20(V)となってから、上記と同じ一定期間、+8(V)の電圧を供給する。

【0044】定電圧発生回路4は、一定値の正の電圧Vdd(例えば、10(V))を発生し、有機EL表示素子1の電圧ラインVLを介して各画素のダブルゲートトランジスタ11のボトムゲート電極101に供給する。

【0045】コントローラ5は、外部から入力されたビデオ信号から、各画素の発光／非発光に対応した表示画像データ、アドレスドライバ2を制御するための制御信号Acnt、データドライバ3を制御するための制御信号Dcntを生成する。このコントローラ5の詳細について、次に説明する。

【0046】図5は、コントローラ5の構成を示すブロック図である。図示するように、コントローラ5は、内部クロック発生回路50と、同期分離回路51と、制御信号生成回路52と、Y/C分離回路53と、コンパレータ54と、遅延回路55とから構成されている。

【0047】内部クロック発生回路50は、水晶発振パルス器の発振パルスに従って、内部クロック信号Ckを発生し、制御信号生成回路52に供給する。

【0048】同期分離回路51は、外部から入力されたビデオ信号から同期信号（水平同期信号Hsync及び垂直同期信号Vsyncと、映像信号（輝度信号Y及び色差信号C）とを分離し、同期信号Hsync、Vsyncを制御信号生成回路52に、映像信号Y/CをY/C分離回路53にそれぞれ供給する。

【0049】制御信号生成回路52は、内部クロック発生回路50から供給された内部クロック信号Ckと、同期分離回路51から供給された同期信号Hsync、Vsyncとに基づいて、コントローラ5内の各部を制御するための制御信号Icnt、アドレスドライバ2を制御するための制御信号Acnt、及びデータドライバ3を制御するための制御信号Dcntを生成する。

【0050】Y/C分離回路53は、映像信号Y/Cから輝度信号Yのみを取り出して、コンパレータ54に供給する。コンパレータ54は、制御信号Icntに従って、所定のタイミング毎に輝度信号Yの大きさを所定の閾値と比較し、この比較結果に従って対応する画素の有機EL素子11を発光させるかどうかを示す2値の表示画像信号を生成して、遅延回路55に供給する。

【0051】遅延回路55は、コンパレータ54から供給された表示画像信号を遅延させ、制御信号Icntに従ってアドレスドライバ2及びデータドライバ3の駆動タイミングとタイミングを合わせて、データドライバ3に順次供給する。

【0052】以下、この実施の形態にかかる有機EL表示装置の動作について、説明する。コントローラ5には、外部からビデオ信号が供給される。このビデオ信号は、同期分離回路50によって同期信号Hsync、Vsyncと、映像信号Y/Cとに分離され、それぞれ制御信号生成回路52と、Y/C分離回路53とに供給される。

【0053】制御信号生成回路52は、供給された同期信号Hsync、Vsyncと、内部クロック生成回路51が生成した内部クロック信号Ckとに基づいて、制御信号Icnt、Acnt、Dcntを生成する。これ

らの制御信号の出力タイミングについては、詳しく後述する。

【0054】一方、Y/C分離回路53に供給された映像信号Y/Cから輝度信号Yが取り出され、コンパレータ54に供給される。コンパレータ54では、制御信号Icntに従って1画素タイミング毎に輝度信号Yのレベルを所定の閾値と比較し、閾値よりも高い場合は「1」、低い場合は「0」とする表示画像データを出力する。

【0055】出力された表示画像データは遅延回路55で遅延され、制御信号Icntに従って、制御信号Acnt、Dcntによるアドレスドライバ2及びデータドライバ3の動作タイミングとタイミング合わせされて、データドライバ3に順次供給される。データドライバ3は、前のラインの選択期間において表示画像データを取り込んでおき、次に説明するようにして各データラインDLに対応する電圧を供給する。

【0056】次に、制御信号Acnt、Dcntによってそれぞれ制御されるアドレスドライバ2及びデータドライバ3の動作について、図6のタイミングチャート及び図7(a)～(g)の模式図を参照して説明する。ここでは、説明を簡単にするため、有機EL表示素子1の3×3画素で構成されているものとし、図6のタイミングチャートの前のフレーム期間（タイミングt0より前の期間）では、図7(a)に示すように、各画素の有機EL素子11が発光または非発光しているものとし、このフレームでも引き続き各画素の有機EL素子11を同様に発光または非発光させるものとする。

【0057】なお、以下の説明においてマトリクス状の画素の第m行、第n列を画素(m, n)という形で表記し、アドレスラインは、上からAL1、AL2、AL3の順で配列され、データラインは、左からDL1、DL2、DL3の順に配列されるものとする。

【0058】全ての画素のダブルゲートトランジスタ10のボトムゲート電極101には、タイミングt0～タイミングt6まで常時正の電圧Vddが印加されている。タイミングtn～タイミングt(n+1)の期間（ただしnは0以上6以下の整数）は常に等間隔であり、アドレスラインAL1、AL2、及びAL3の各画素の選択期間は、それぞれタイミングt0～タイミングt2、タイミングt2～タイミングt4、タイミングt4～タイミングt6になる。

【0059】まず、タイミングt0において、アドレスドライバ2は、第1行のアドレスラインAL1に供給する電圧を-20(V)から+5(V)に変化させる。他のアドレスラインAL2、AL3に供給する電圧は、-20(V)のままとする。第1行で発光すべき有機EL素子11は、図7(a)に示すように、第1列と第3列のものなので、データドライバ3は、タイミングt0において、第1列のデータラインDL1と第3列のデータ

ラインDL 3とに供給する電圧を0 (V) から+8 (V) にし、第2列のデータラインDL 2に供給する電圧を0 (V) のままとする。

【0060】第1行のアドレスラインAL 1に+5 (V) の電圧が供給されたことにより、画素 (1, 1)、(1, 2) 及び (1, 3) のダブルゲートトランジスタ10のトップゲート電極107の電圧が+5 (V) となる。また、対応するデータラインDL 1、DL 3を介してドレイン電極104に+8 (V) の電圧が供給されている画素 (1, 1) 及び (1, 3) のダブルゲートトランジスタ10は、図4 (c) に示す状態となり、対応する半導体層103に形成されているnチャネルを介して画素 (1, 1) 及び (1, 3) の有機EL素子11に電流が流れて発光する。一方、対応するデータラインDL 2を介してドレイン電極104に供給されている電圧が0 (V) であるため、画素 (1, 2) のダブルゲートトランジスタ10は、半導体層103にnチャネルが形成されず、(1, 2) の有機EL素子11に電流が流れず発光しない。

【0061】次に、タイミングt 7でアドレスラインAL 1のリセット期間Prが終了すると、アドレスドライバ2は、第1行のアドレスラインAL 1に供給する電圧を+5 (V) から-20 (V) まで徐々に変化させる。このような緩やかな変化により、対応する有機EL素子11がタイミングt 0から引き続き発光して光が入射されている画素 (1, 1) 及び (1, 3) のダブルゲートトランジスタ10の半導体層103に生成される電子-正孔対のうちの正孔がトップゲート電極107の負電界のために、半導体層103内に十分に蓄積されることとなる。次いでタイミングt 1~t 2では、データラインDL 1は+8 (V) から0 (V) になるのでデータラインDL 1の画素 (1, 1)、(2, 1)、及び (3, 1) の発光は一旦終了されが、アドレスラインAL 1~AL 3は、-20 (V) のため正孔は蓄積された状態が続く。

【0062】一方、タイミングt 0からt 1の間において、図7 (a) に示す前のフレームにおける有機EL素子11の発光/非発光の状態によって画素 (3, 1) 及び (3, 3) のダブルゲートトランジスタ10の半導体層103内には前のフレーム期間での正孔が蓄積され続けているため、図4 (f) に示すようにnチャネルが形成されている。これにより、対応するデータラインDLを介してドレイン電極104に+8 (V) の電圧が供給されている画素 (3, 1) 及び (3, 3) の有機EL素子11に電流が流れて発光する。

【0063】以上説明したタイミングt 0からタイミングt 1までの期間の各画素の有機EL素子11の発光状態は、前のフレーム期間に蓄積された正孔の量 (有無) に応じて図7 (b) に示すように、ここでは、画素 (1, 1)、(1, 3)、(3, 1) 及び (3, 3) の

有機EL素子11が発光していることとなる。

【0064】次に、タイミングt 1において、データドライバ3は、選択ラインである第1行の画素の有機EL素子11を発光すべきである第1列のデータラインDL 1と第3列のデータラインDL 3に供給する電圧を+8 (V) から0 (V) にする。これにより、画素 (1, 1)、(1, 3)、(3, 1) 及び (3, 3) のダブルゲートトランジスタ10は、タイミングt 1~タイミングt 2まで正孔が蓄積されているにもかかわらず有機EL素子11に電流が流れなくなって発光しなくなる。一方、第2行のデータラインDL 2に供給する電圧を0 (V) から+8 (V) にする。

【0065】このようにタイミングt 1~タイミングt 2では、データラインDL 1~DL 3に、タイミングt 1~タイミングt 2に印加されたハイ、ロー電圧がそれぞれ反転されて出力されるためこの期間はデータラインDL 2の画素の選択発光期間になる。したがって、データラインDL 1、DL 3の全画素は発光しない。そして図7 (a) に示す前のフレームの発光状態によって対応するダブルゲートトランジスタ10の半導体層103にnチャネルが形成されている画素 (2, 2) の有機EL素子11は、電流が流れて発光し、タイミングt 2まで継続する。また、画素 (1, 2)、(3, 2) のダブルゲートトランジスタ10の半導体層103は、タイミングt 0からt 1におけるリセット期間Prで正孔が吐出されており、リセット期間Prを過ぎてからも対応する有機EL素子11の発光がなかったため、正孔の蓄積がない。このため、画素 (1, 2)、(3, 2) ではアドレスラインAL 1、AL 3が負電圧によりボトムゲート101の電圧+10 (V) を相殺し対応する有機EL素子11は発光しない。

【0066】以上説明したタイミングt 1からタイミングt 2までの期間の各画素の有機EL素子11の発光状態を、図7 (c) に示す。図示するように、ここでは、画素 (2, 2) の有機EL素子11だけが発光していることとなる。従って、第1行の選択期間であるタイミングt 0からt 2までの期間では、発光すべき画素である画素 (1, 1)、(1, 3)、(2, 2)、(3, 1) 及び (3, 3) の有機EL素子11がそれぞれ同期間ずつ発光することとなる。

【0067】次に、第2行の選択に移り、タイミングt 2において、アドレスドライバ2は、第2行のアドレスラインAL 2に供給する電圧を-20 (V) から+5 (V) に変化させる。他のアドレスラインAL 1、AL 3に供給する電圧は、-20 (V) のままとする。第2行で発光すべき有機EL素子11は、図7 (a) に示すように、第2列のものなので、データドライバ3は、タイミングt 2において、第2列のデータラインDL 2に供給する電圧を+8 (V) にし、第1列のデータラインDL 1と第3列のデータラインDL 3とに供給する電圧

を 0 (V) のままとする。したがって、第 1 列のデータライン DL 1 と第 3 列のデータライン DL 3 の全画素はフレーム期間しない。

【0068】第 2 行のアドレスライン AL 2 に +5 (V) の電圧が供給されたことにより、画素 (2, 1)、(2, 2) 及び (2, 3) のダブルゲートトランジスタ 10 のトップゲート電極 107 の電圧が +5 (V) となる。また、対応するデータライン DL 2 を介してドレイン電極 104 に +8 (V) の電圧が供給されている画素 (2, 2) のダブルゲートトランジスタ 10 は、図 4 (c) に示す状態となり、対応する半導体層 103 に形成されている n チャンネルを介して有機 EL 素子 11 に電流が流れて発光する。一方、対応するデータライン DL 2 を介してドレイン電極 104 に供給されている電圧が 0 (V) である (2, 1) 及び (2, 3) のダブルゲートトランジスタ 10 は、半導体層 103 に n チャンネルが形成されず、対応する有機 EL 素子 11 に電流が流れず発光しない。

【0069】次に、リセット期間 Pr が過ぎるタイミング t 8 でリセット期間 Pr、アドレスドライバ 2 は、第 2 行のアドレスライン AL 2 に供給する電圧を +5 (V) から -20 (V) まで徐々に変化させる。このような緩やかな変化により、対応する有機 EL 素子 11 が発光して光が入射されている画素 (2, 2) のダブルゲートトランジスタ 10 の半導体層 103 に生成される電子-正孔対のうちの正孔がトップゲート電極 107 の負電界のために、半導体層 103 内に十分に蓄積されることとなる。次いでタイミング t 3 になると、データライン DL 1 は +8 (V) から 0 (V) になるので発光は一旦終了されが、アドレスライン AL 2 は、-20 (V) のため正孔は蓄積された状態が続く。

【0070】一方、タイミング t 2 から t 3 の間において、前の行の選択期間まで (タイミング t 2 の直前まで) の有機 EL 素子 11 の発光/非発光の状態によって画素 (3, 1) 及び (3, 3) のダブルゲートトランジスタ 10 の半導体層 103 内には正孔が蓄積されるため、図 4 (d) に示すように n チャンネルが形成されている。しかし、この期間では、対応するデータライン DL 1、DL 3 を介してドレイン電極 104 に供給されている電圧が 0 (V) であるため、ダブルゲートトランジスタ 10 がデータライン DL 1、DL 3 の全画素の有機 EL 素子 11 は電流が流れず、発光しない。

【0071】以上説明したタイミング t 2 からタイミング t 3 までの期間の各画素の有機 EL 素子 11 の発光状態を、図 7 (d) に示す。図示するように、ここでは、画素 (2, 2) の有機 EL 素子 11 だけが発光していることとなる。

【0072】次に、タイミング t 3 において、データドライバ 3 は、選択ラインであるアドレスライン AL 2 の画素の有機 EL 素子 11 を発光すべきでない第 1 列のデ

ータライン DL 1 と第 3 列のデータライン DL 3 に供給する電圧を 0 (V) から +10 (V) にし、有機 EL 素子 11 を発光すべきである第 2 行のデータライン DL 2 に供給する電圧を +10 (V) から 0 (V) にし、タイミング t 3 ~ t 4 までアドレスライン AL 1 ~ AL 3 は全て -20 (V) にする。画素 (1, 1)、(1, 3)、(3, 1)、及び (3, 3) は、アドレスライン AL 1 ~ AL 3 の負電界により蓄積された正孔がこの負電界を相殺しているため、ボトムゲートの印加電圧 +10 (V) 及びデータライン DL 1、DL 3 の印加電圧 +8 (V) により n チャンネルが形成され、発光する。またデータライン DL 2 の全画素はデータライン DL 2 の印加電圧が 0 (V) であるので発光しない。

【0073】そして、画素 (2, 1)、(2, 2) 及び (2, 3) では、タイミング t 2 ~ t 8 で正孔がリセットされ、このうち画素 (2, 2) では、タイミング t 8 ~ t 3 で発光し正孔が蓄積されるがタイミング t 3 ~ t 4 ではデータライン DL 2 が 0 (V) のため発光せず、画素 (2, 1)、及び (2, 3) は、データライン DL 1、DL 3 が +8 (V) にもかかわらず、タイミング t 2 ~ t 3 に発光していないため、正孔が発生せずアドレスライン AL 1、AL 3 の負電圧 -20 (V) によりボトムゲート 101 のチャンネルが消失され、発光しない。

【0074】以上説明したタイミング t 3 からタイミング t 4 までの期間の各画素の有機 EL 素子 11 の発光状態を、図 7 (e) に示す。図示するように、ここでは、画素 (1, 1)、(1, 3)、(3, 1) 及び (3, 3) の有機 EL 素子 11 が発光していることとなる。従って、第 2 行の選択期間であるタイミング t 2 から t 4 までの期間では、発光すべき画素である (1, 1)、(1, 3)、(2, 2)、(3, 1) 及び (3, 3) の有機 EL 素子 11 がそれぞれ同期間ずつ発光することとなる。

【0075】タイミング t 4 からタイミング t 5 までの期間における動作は、第 1 行と第 3 行とを入れ替え、タイミング t 7 をタイミング t 9 に置き換えれば、タイミング t 0 からタイミング t 1 までにおける動作と実質的に同一である。このため、この期間では、図 7 (f) に示すように、画素 (1, 1)、(1, 3)、(3, 1) 及び (3, 3) の有機 EL 素子 11 が発光していることとなる。

【0076】一方、タイミング t 5 からタイミング t 6 までの期間における動作は、第 1 行と第 3 行とを入れ替えれば、タイミング t 1 からタイミング t 2 までにおける動作と実質的に同一である。このため、この期間では、図 7 (g) に示すように、(2, 2) の有機 EL 素子 11 だけが発光していることとなる。従って、第 3 行の選択期間であるタイミング t 4 から t 6 までの期間では、発光すべき画素である (1, 1)、(1, 3)、(2, 2)、(3, 1) 及び (3, 3) の有機 EL 素子

11 がそれぞれ同期間ずつ発光することとなる。

【0077】このように、発光すべき画素である (1, 1)、(1, 3)、(2, 2)、(3, 1) 及び (3, 3) 有機EL素子11は、次のフレームでの対応する行の選択期間まで、各選択期間においてその前半または後半のいずれかで発光させられることとなる。選択期間のうちタイミング $t7 \sim t1$ 、 $t8 \sim t3$ 、 $t9 \sim t5$ は短い方が望ましい。また、有機EL素子11が図3に示すようにダブルゲートアモルファスシリコントランジスタ10のソース・ドレイン間の駆動実効電圧レベルで良好な輝度階調が得られるため、データラインDLへの供給電圧を階調制御することによりこのような有機EL表示素子1で輝度階調を表現することができる。

【0078】以上説明したように、この実施の形態にかかる有機EL表示素子1では、各画素において、有機EL素子11の他は、2つのゲート電極が縦構造のダブルゲートトランジスタ10だけ1つしか形成されていない。このため、1画素領域内における有機EL素子11の相対的な面積比を大きくすることが可能となり、画素開口率が大きくなる。また、有機EL素子11の他に設ける素子は、ダブルゲートトランジスタ10だけでよいので、製造された有機EL表示装置1のうちのいずれかの素子に欠陥がある可能性が低くなり、製造時の歩留まりを高くすることができる。

【0079】また、選択されていないアドレスラインALに対応する有機EL素子11も、1アドレス選択期間内においてリセット期間Prを過ぎてから、1アドレス選択期間のほぼ半分の期間発光する。すなわち、1フレーム期間において、発光すべき画素の有機EL11は、常にほぼ1フレームの半分の期間発光させることができる。

【0080】【第2の実施の形態】この実施の形態にかかる有機EL表示装置の構成は、第1の実施の形態のもの(図1)とほぼ同じである。但し、この実施の形態では、有機EL表示素子1の構造が第1の実施の形態のもの(図2)と若干異なり、また、コントローラ5の構成が第1の実施の形態のものとは異なる。

【0081】図8(a)は、この実施の形態における有機EL表示素子1の構造を示す平面図、図8(b)は、図8(a)のB-B断面図である。これらの図においては、有機EL表示素子1でマトリクス状に形成されている画素のうちの1画素分のみを示す。これらの図から分かるように、この実施の形態における有機EL素子1は、次の点を除いて、第1の実施の形態のものと同じ構造をしている。

【0082】絶縁保護膜109上の、ダブルゲートトランジスタ10、コンタクトホール120、アドレスラインAL、データラインDL及び電圧ラインVLのいずれも形成されていない位置には、複数のカラーフィルタ113が形成されている。そして、カラーフィルタ113

の上、及びアドレスラインAL、データラインDL及び電圧ラインVLのいずれも形成されていない絶縁保護膜109上に、ITOからなる複数のアノード電極111が形成されている。

【0083】なお、カラーフィルタ113は、有機EL層110が発した白色光のうち、赤色の波長域の光を透過するもの(R)、緑色の波長域の光を透過するもの(G)、青色の波長域の光を透過するもの(B)のいずれかが、図9に示すような対角線配列で各画素に設けられている。

【0084】図10は、この実施の形態におけるコントローラ5の構成を示すブロック図である。図示するように、このコントローラ5は、内部クロック発生回路50と、同期分離回路51と、制御信号生成回路52と、デコーダ63と、A/D変換器64と、ガンマ(γ)補正回路65と、補正テーブル66と、画像データメモリ67と、画像データバッファ68と、セレクト69とから構成されている。

【0085】内部クロック発生回路50と、同期分離回路51と、制御信号生成回路52とは、第1の実施の形態で説明したものと実質的に同一である。但し、制御信号生成回路52が生成する制御信号Icnt、Acnt、Dcntの詳細は、第1の実施の形態のものとは異なる。また、同期分離回路51は、映像信号Y/Cをデコーダ63に供給する。

【0086】デコーダ63は、輝度信号Y及び色差信号Cからなる映像信号Y/CからアナログのR(赤)、G(緑)、B(青)の各信号を生成し、A/D変換器64に供給する。A/D変換器64は、アナログのRGB信号をそれぞれ画素の配列に従った所定のタイミング毎に(R、G、Bのそれぞれ120度ずつ位相が異なる)、A/D(アナログ-デジタル)変換し、それぞれ4ビットからなるデジタルR信号、デジタルG信号、デジタルB信号をガンマ補正回路65に供給する。

【0087】ガンマ補正回路65は、補正テーブル66を参照して、A/D変換器64から供給されたデジタルR信号、デジタルG信号、デジタルB信号を、それぞれ有機EL表示素子1のガンマ特性に従って、ガンマ補正する。補正テーブル66は、デジタルR信号、デジタルG信号、デジタルB信号のそれぞれについて、ガンマ補正前後の値を対応付けて記憶する。

【0088】画像データメモリ67は、ガンマ補正回路65によってガンマ補正されたデジタルR信号、デジタルG信号、デジタルB信号(以下、これらをまとめて画像データIMGという)を少なくとも1フレーム分記憶する。

【0089】画像データバッファ68は、画像データメモリ67から、制御信号Icntに従って所定の画素の画像データIMGを読み出して一時記憶する。セレクト69は、制御信号Icntに従って、画像データバッ

10

20

30

40

50

ァ68に一時記憶されている画像データIMGのうちの表示動作中のサブフレームに対応するビットを選択し、表示画像データimgとしてデータドライバ3に供給する。

【0090】以下、この実施の形態にかかる有機EL表示装置の動作について、説明する。ここで、同期分離回路51、内部クロック発生回路50及び制御信号生成回路52の動作は、生成される制御信号Icnt、Acnt、Dcntが異なることを除いては、第1の実施の形態のものと実質的に同一である。但し、同期分離回路51からの映像信号Y/Cは、デコーダ63に供給される。

【0091】同期分離回路51から出力された映像信号Y/Cから、デコーダ63によってアナログのRGB信号が生成され、さらに、A/D変換器64でA/D変換されて、それぞれ4ビットからなるデジタルR信号、デジタルG信号、デジタルB信号が生成される。そして、これらデジタルR信号、デジタルG信号、デジタルB信号は、ガンマ補正回路65によってガンマ補正され、画像データIMGとして画像データメモリ67に記憶されている。

【0092】画像データメモリ67に記憶されている画像データIMGは、制御信号Icntに従って順次画像データバッファ68に記憶され、セクタ68によってサブフレームに応じたいずれかのビットが選択され、表示画像データimgとして、制御信号Acnt、Dcntによるアドレスドライバ2及びデータドライバ3の動作タイミングとタイミング合わせされて、データドライバ3に順次供給される。

【0093】このように、映像信号Y/Cをデコーダ63によりデジタルR信号、デジタルG信号、デジタルB信号にすることにより多色表示が可能となる。また、有機EL表示素子1はその表示輝度がほとんど視野角に依存されず、ブラウン管用のビデオ信号をγ補正回路65及び補正テーブル66で有機EL表示素子1用の階調に補正するので視認できる角度での階調反転のない表示が可能となる。

【0094】【第3の実施の形態】この実施の形態にかかる有機EL表示装置の構成は、第1の実施の形態のものとほぼ同一である。但し、各データラインDLは、列毎に複数のダブルゲートトランジスタ10のボトムゲート電極101に接続され、各電圧ラインVLは、列毎に複数のダブルゲートトランジスタ10のドレイン電極104に接続され、全ダブルゲートトランジスタ10のドレイン電極104は常に8〜10(V)程度の定電圧Vddが印加されている。

【0095】本実施形態の駆動について、図7(a)に示すような発光パターンを1フレーム期間にわたって維持するときに、第1実施形態のそれと同様にアドレスラインAL1から順次スキャンする。まずタイミングt0

〜t7の間のリセット期間Prで、そのフレーム期間に発光を持続しようとする画素(1,1)、(1,3)のダブルゲートトランジスタ10の半導体層103内にキャリアを発生するために、データラインDL1、DL3からダブルゲートトランジスタ10のボトムゲート電極101に+10(V)のnチャネル形成用電圧が供給される。またこのときトップゲート電極107には、+5(V)の電圧が印加されているのでボトムゲート電極101の電圧を相殺することはない。

【0096】このとき、ドレイン電極104には電圧Vddが供給されているのでドレイン電極104とソース電極105との間に電位差が生じ、ドレイン電流が流れ、有機EL素子11は発光する。1フレーム期間発光しない画素(1,2)には、トップゲート電極107に+5(V)が印加されているが、図4(a)のようにnチャネルは形成されないため、発光しない。以下、図12に示すように電圧を供給することにより実施形態1と同様に図7(b)〜(g)と同じ発光パターンになる。

【0097】【実施の形態の変形】本発明は、上記の第1〜第3の実施の形態に限られず、種々の変形、応用が可能である。以下、本発明に適用可能な上記の実施の形態の変形態様について、詳しく説明する。

【0098】上記の第1の実施の形態では、コンパレータ54は、輝度信号Yが所定の閾値より大きいかどうかを比較し、この比較結果に基づいて各画素の表示画像信号imgを生成していた。しかしながら、コンパレータ54は、各画素の表示画像信号imgを生成する場合に、誤差拡散法などを用いるものとしてもよい。

【0099】上記の第2、第3実施の形態では、有機EL層110が発した白色光のうちの赤色の波長域の光を透過するカラーフィルタと、緑色の波長域の光を透過するカラーフィルタと、青色の波長域の光を透過するカラーフィルタとを図8に示すような対角線配列で配置し、フルカラー画像を表示するものとしていた。しかしながら、カラーフィルタは、デルタ配列、ストライプ配列或いはスクウェア配列などの他の配列で配置してもよい。

【0100】また、このようなカラーフィルタを用いず、モノクロ階調画像を表示する有機EL表示装置としてもよい。また、このようなカラーフィルタを用いることなく、有機EL層110を構成する材料として、赤色の波長域の光を発するもの、緑色の波長域の光を発するもの、及び青色の波長域の光を発するものを選んで、例えば、図8と同様の順序で配列させて形成することによっても、フルカラー画像を表示する有機EL表示装置を作成することができる。さらには、有機EL層110の材料を、赤、緑、青のいずれかの波長域の光を発するものとし、カラーフィルタの代わりに光の波長を変換して出射する光変換層を用いてもよい。

【0101】この場合、赤色の波長域の光を発する有機EL層110は、アノード電極111からカソード電極

112の方向に、 α -NPDからなる正孔輸送層と、DCM-1を分散させたAlq3からなる電子輸送性発光層とを積層させて構成することができる。緑色の波長域の光を発する有機EL層110は、アノード電極111からカソード電極112の方向に、 α -NPDからなる正孔輸送層と、Bebq2からなる電子輸送性発光層とを積層させて構成することができる。青色の波長域の光を発する有機EL層110は、アノード電極111からカソード電極112の方向に、 α -NPDからなる正孔輸送層と、96重量%のDPVBiと4重量%のBCzVBiからなる発光層と、Alq3からなる電子輸送層を積層させて構成することができる。

【0102】上記の第1～第3の実施の形態では、アドレスドライバ2は、コントローラ5からの制御信号Acntに従って、各アドレスラインALを選択した期間の当初に、アドレスラインALを介して対応するダブルゲートトランジスタ11のトップゲート電極107に+5(V)の電圧を供給していた。そして、データドライバ3は、コントローラ5からの制御信号Dcntに従って、対応する有機EL素子11が発光すべきものであるときは、トップゲート電極107に+5(V)が印加されているとき、対応するデータラインDLに正電圧を供給して、有機EL素子11を発光させていた。そして、データドライバ3は、対応する有機EL素子11が発光すべきものでないときは、選択されたアドレスラインALのトップゲート電極107に印加される電圧が-20(V)になっていから、対応するデータラインDLに正電圧を供給していた。しかしながら、本発明においては、この順を逆にしてもよい。

【0103】上記の第1～第3の実施の形態では、ダブルゲートトランジスタ10は、ボトムゲート電極101及びトップゲート電極107に印加された電圧、及び半導体層103内に蓄積された正孔の影響によって、半導体層103内に電流路としてnチャネルを形成するnチャネル型のものであった。しかしながら、本発明は、pチャネル型のダブルゲートトランジスタを用いた発光素子にも適用することができる。このとき、印加される電圧の極性は0(V)以外全て逆になる。

【0104】上記の第1～第3の実施の形態では、発光素子として上記したような有機半導体を発光層に適用した有機EL素子11を適用していた。しかしながら、本発明は、有機EL素子以外であっても、その電極間に所定値以上の電圧を印加することによって発光する、無機EL素子などの他のタイプの自発光型発光素子を用いた表示装置に適用することができる。

【0105】

【発明の効果】以上説明したように、各画素に設けられる素子数を少なくすることができるので、画素開口率が高く、製造時の歩留まりが高い自発光型の表示素子、表

示装置などを提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる有機EL表示装置の構成を示すブロック図である。

【図2】(a)は、図1の有機EL表示素子の構造を示す平面図、(b)は、(a)のA-A断面図である。

【図3】有機EL素子の特性図である。

【図4】(a)～(f)は、図1、図2に示すダブルゲートトランジスタの動作を説明する模式図である。

【図5】図1のコントローラの構成を示すブロック図である。

【図6】本発明の第1の実施の形態にかかる有機EL表示装置における動作を示すタイミングチャートである。

【図7】(a)～(g)は、本発明の第1の実施の形態にかかる有機EL表示装置における動作を説明する模式図である。

【図8】(a)は、本発明の第2の実施の形態にかかる有機EL表示素子の構造を示す平面図、(b)は、

(a)のB-B断面図である。

【図9】図8のカラーフィルタの配列を示す図である。

【図10】本発明の第2の実施の形態におけるコントローラの構成を示すブロック図である。

【図11】本発明の第3の実施の形態にかかる有機EL表示装置の構成を示すブロック図である。

【図12】本発明の第3の実施の形態にかかる有機EL表示装置における動作を示すタイミングチャートである。

【図13】従来例の有機EL表示素子の1画素分の等価回路図である。

【図14】図13の有機EL表示素子の構造を示す図である。

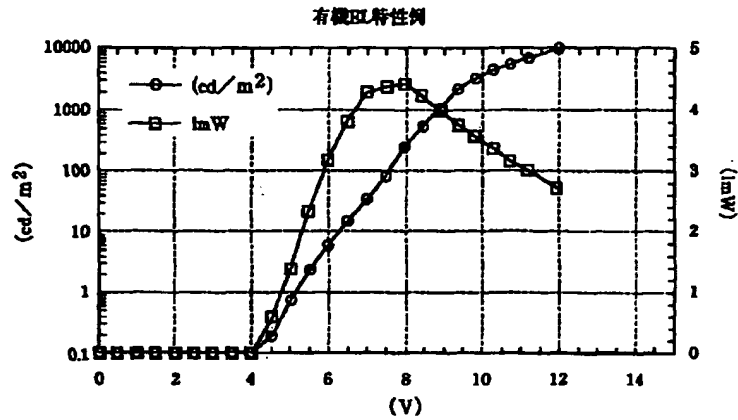
【符号の説明】

1…有機EL表示素子、2…アドレスドライバ、3…データドライバ、4…定電圧発生回路、5…コントローラ、10…ダブルゲートトランジスタ、11…有機EL素子、50…内部クロック発生回路、51…同期分離回路、52…制御信号生成回路、53…Y/C分離回路、54…コンパレータ、55…遅延回路、63…デコード、64…A/D変換器、65…ガンマ(γ)補正回路、66…補正テーブル、67…画像データメモリ、68…画像データバッファ、69…セレクト、100…ガラス基板、101…ボトムゲート電極、102…ゲート絶縁膜、103…半導体層、104…ドレイン電極、105…ソース電極、106…ゲート絶縁膜、107…トップゲート電極、108…遮光電極、109…絶縁保護膜、110…半導体層、111…アノード電極、112…カソード電極、113…カラーフィルタ、AL…アドレスライン、DL…データライン、VL…電圧ライン

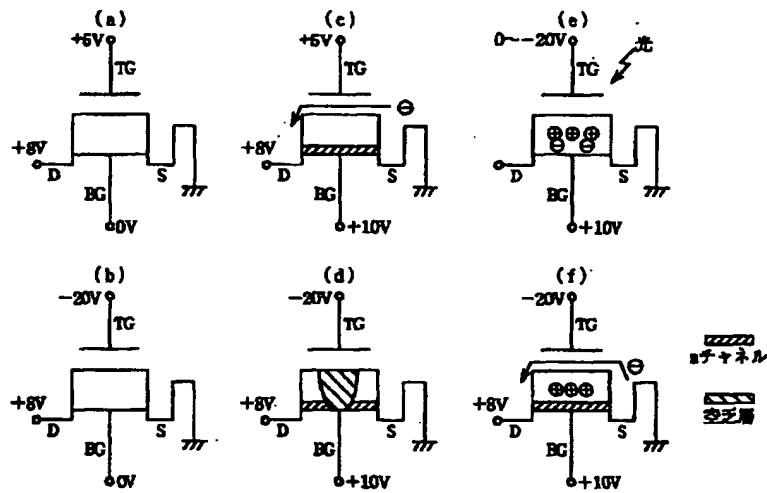
[illegible][illegible]

Timing diagram for the 74LS161 counter. The diagram shows three output signals: AL1, AL2, and AL3, and three data signals: DL1, DL2, and DL3. The time axis is marked with t0 through t6. AL1 and AL2 are square waves with a period of Pr. AL3 is a square wave with a period of Pr. DL1, DL2, and DL3 are square waves with a period of Pr. A 1 microsecond scale bar is shown at the bottom right.

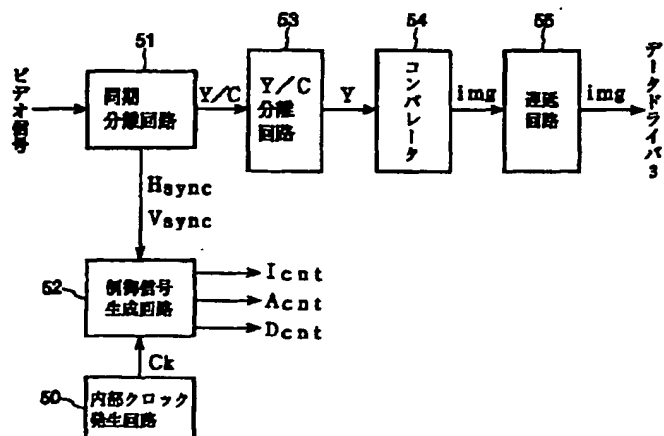
【図3】



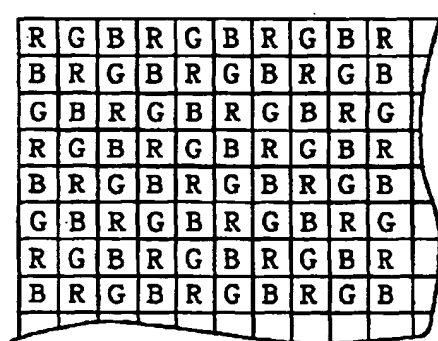
【図4】



【図5】

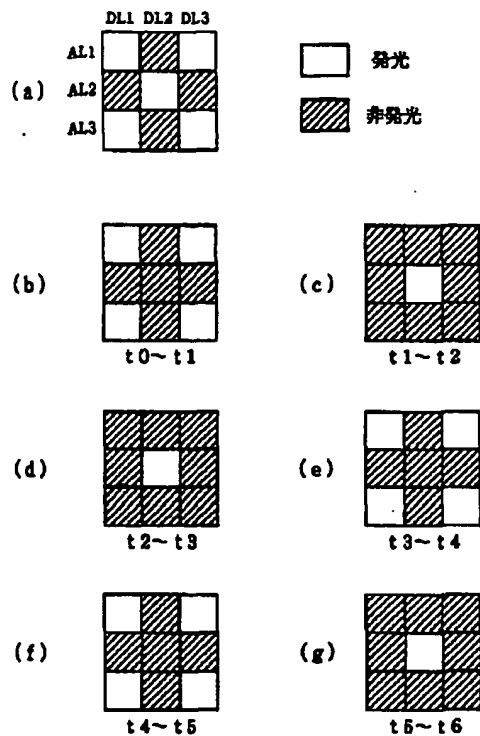


【図9】

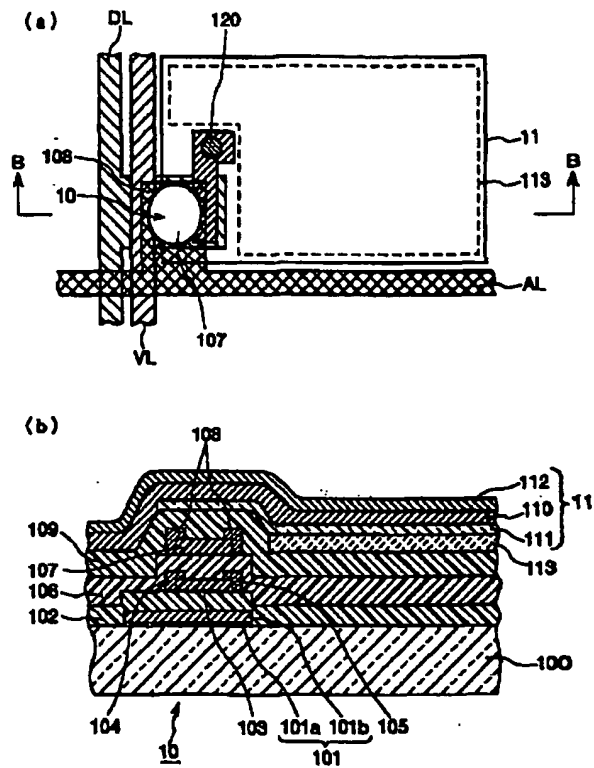


R:赤 G:緑 B:青

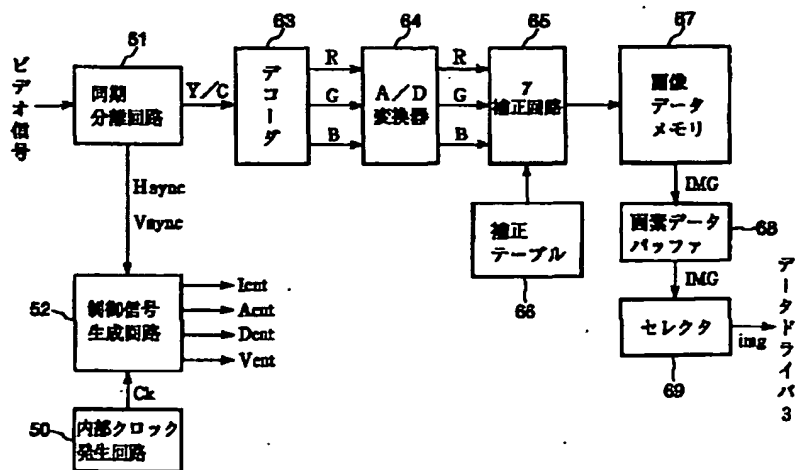
【図 7】



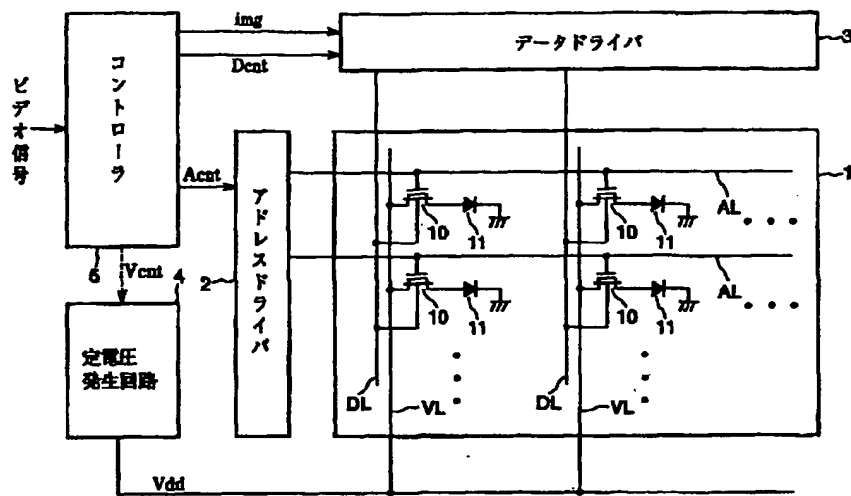
【図 8】



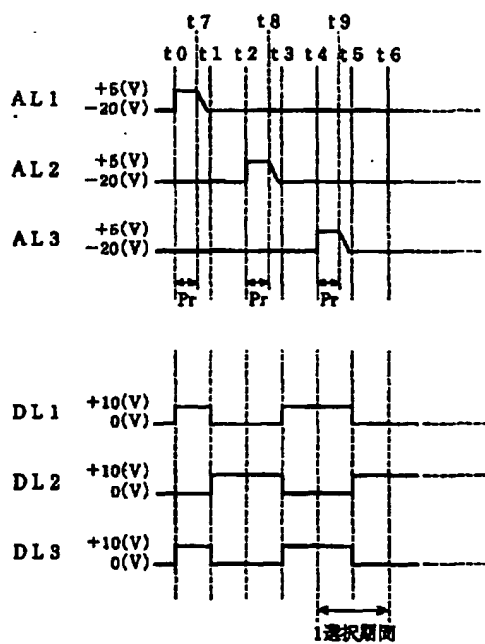
【図 10】



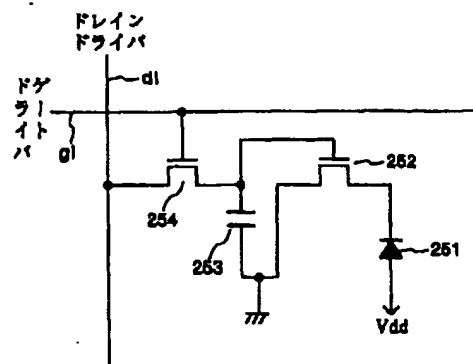
【図 11】



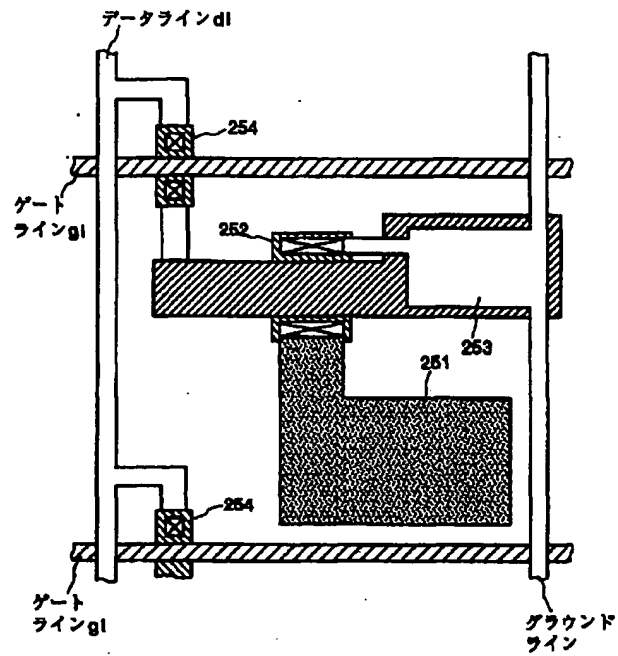
【図 12】



【図 13】



【図14】



フロントページの続き

Fターム(参考) 3K007 AB00 AB04 AB18 BA06 BB06
 CA01 CA05 CB01 DA00 DB03
 EB00 GA00 GA04
 5C080 AA06 BB05 CC03 DD01 DD28
 EE29 EE30 FF11 GG02 GG08
 GG09 GG12 JJ02 JJ04 JJ05
 JJ06
 5C094 AA08 AA43 BA27 CA19 EA05
 EB02 ED02 GA10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.